

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-222922
(43)Date of publication of application : 09.08.2002

(51)Int.Cl.

H01L 27/04
H01L 21/822
G01R 31/28
G06F 12/16
G11C 11/413
G11C 29/00

(21)Application number : 2001-016623

(71)Applicant : TOSHIBA MICROELECTRONICS CORP
TOSHIBA CORP

(22)Date of filing : 25.01.2001

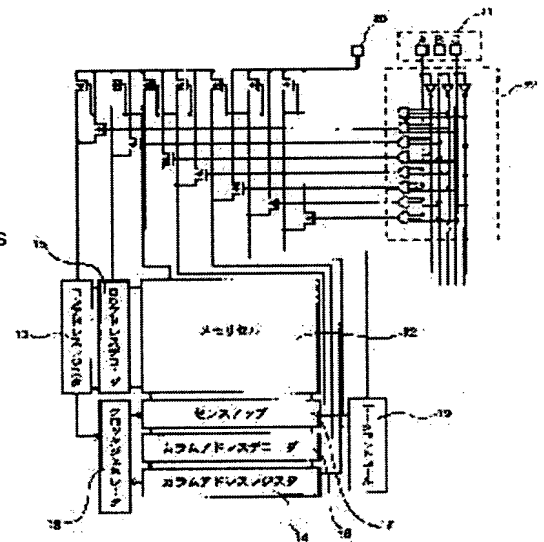
(72)Inventor : KANAZAWA JUNICHIRO

(54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To solve a problem associated with conventional semiconductor storage devices that, in analyzing standby current failure, a larger number of power supply pads are required to divide a power source on a block-by-block basis even if the point of the failure can be identified, and it is difficult to allocate a plurality of power sources to the blocks if the number of power supply pads is limited.

SOLUTION: It is made possible by a decoder portion to minutely control power supply to the circuit blocks from a small number of power sources and to minutely identify the point of any standby current failure.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-222922

(P2002-222922A)

(43) 公開日 平成14年8月9日(2002.8.9)

(51) Int.Cl. ⁷	識別記号	F I	チーコード ⁷ (参考)
H 0 1 L 27/04		G 0 6 F 12/16	3 4 0 H 2 G 1 3 2
21/822		G 1 1 C 29/00	6 7 1 K 5 B 0 1 5
G 0 1 R 31/28		H 0 1 L 27/04	T 5 P 0 3 8
G 0 6 F 12/16	3 4 0	G 0 1 R 31/28	B 5 L 1 0 6
G 1 1 C 11/413			V

審査請求 未請求 請求項の数4 O L (全 6 頁) 最終頁に続く

(21) 出願番号 特願2001-16623(P2001-16623)

(22) 出願日 平成13年1月25日(2001.1.25)

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社
神奈川県川崎市川崎区駅前本町25番地1

(71) 出願人 000003078

株式会社東芝
東京都港区芝浦一丁目1番1号

(72) 発明者 金沢 潤一郎

神奈川県川崎市川崎区駅前本町25番地1
東芝マイクロエレクトロニクス株式会社
内

(74) 代理人 100083161

弁理士 外川 英明

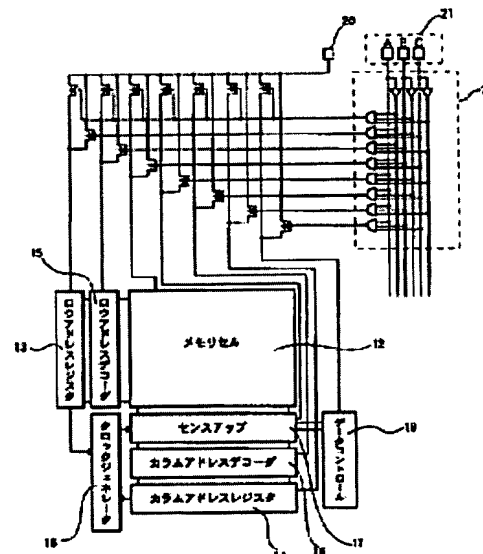
最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 従来の半導体記憶装置は、スタンバイ電流不良が発生した場合の解析においては、故障箇所特定をすることができる場合でも、各ブロックごと電源供給源を分けるために、電源パッド数が多く必要となり電源パッド数が限定されている場合には、複数の電源供給源を各ブロックに振り分けることが困難になっていた。

【解決手段】 本発明ではデコーダ部により少数の電源から各回路ブロックへの詳細な電源供給コントロールが可能となり、スタンバイ電流不良箇所の詳細特定が可能となる。



【特許請求の範囲】

【請求項 1】 電源パッドと、前記電源パッドから分割され、それぞれ接続される複数の回路ブロックと、前記電源パッドから前記回路ブロックへの電源供給を選択するデコーダ部と、前記デコーダ部へ接続され、電源供給を受ける前記回路ブロックを選択するための信号が入力される選択端子と、前記回路ブロックは、メモリセルおよびその周辺回路を有することを特徴とする半導体記憶装置。

【請求項 2】 前記デコーダ部は、電源供給を受ける前記回路ブロックを個別に選択することを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

【請求項 3】 前記選択端子は、アドレス端子と共用することを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

【請求項 4】 前記選択端子には、電源コントロールライン端子が接続されており、前記アドレス端子を前記選択端子として選択するための信号が入力されることを特徴とする特許請求の範囲第3項記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体記憶装置の電源供給回路に関するものであり、特にスタンバイ電流不良の解析に使用されるものである。

【0002】

【従来の技術】 従来の半導体記憶装置の電源供給回路ブロック図を図4に示す。尚、ここでは半導体記憶装置の構成を概念的に示している。

【0003】 メモリセル1は複数の配列されたメモリセルから構成されている。ロウアドレスレジスタ2は、ロウアドレスデコーダ4を介してメモリセル1に接続される。カラムアドレスレジスタ3は、カラムアドレスデコーダ5、センスアンプ6を介してメモリセル1に接続されている。データの読み出し動作では、ロウアドレスデコーダ4で1本のワード線（図示せず）が選択される。これにより一行のメモリセルがビット線（図示せず）に接続され、各々のビット線には記憶データにより対応した信号があらわれ、センスアンプ6により増幅される。カラムアドレスデコーダ5により、1つのセンスアンプ6が選択されデータは出力バッファ（図示せず）に転送される。データの書き込み動作では、入力データはカラムアドレスデコーダ5で選ばれたビット線に転送される。クロックジェネレータ7では、ロウアドレスデコーダ2、カラムアドレスデコーダ3、センスアンプ6を駆動する。データコントロール8では、例えば／CE（Chip Enable）、／WE（Write Enable）などを制御する。

【0004】 電源パッド9では、各回路ブロックそれぞれに電源を供給している。

【0005】 従来の半導体記憶装置では、スタンバイ電流（電源電圧を掛けて回路の動作をさせないときに流れる電流）不良が発生した場合の解析においては、発光装置により、電流値が多い場合には故障箇所を判明させることができるが、電流値が微少の場合には、故障箇所が発光しないため、故障箇所の特定をすることができず、不良対策ができないという問題があった。

【0006】 また、他の従来の半導体記憶装置の電源供給回路ブロック図を図5に示す。図4と同じ構成部分には、同じ符号をつけることとする。メモリセル1は複数の配列されたメモリセルから構成されている。ロウアドレスレジスタ2は、ロウアドレスデコーダ4を介してメモリセル1に接続される。カラムアドレスレジスタ3は、カラムアドレスデコーダ5、センスアンプ6を介してメモリセル1に接続されている。データの読み出し動作では、ロウアドレスデコーダ4で1本のワード線（図示せず）が選択される。これにより一行のメモリセルがビット線（図示せず）に接続され、各々のビット線には記憶データにより対応した信号があらわれ、センスアンプ6により増幅される。カラムアドレスデコーダ5により、1つのセンスアンプ6が選択されデータは出力バッファ（図示せず）に転送される。データの書き込み動作では、入力データはカラムアドレスデコーダ5で選ばれたビット線に転送される。クロックジェネレータ7では、ロウアドレスデコーダ2、カラムアドレスデコーダ3、センスアンプ6を駆動する。データコントロール8では、例えば／CE（Chip Enable）、／WE（Write Enable）などを制御する。

【0007】 セル電源パッド10では、メモリセル1に電源を供給している。周辺回路電源セル11では、ここではロウアドレスレジスタ2、カラムアドレスレジスタ3、ロウアドレスデコーダ4、カラムアドレスデコーダ5、センスアンプ6、データコントロール8に電源を供給している。

【0008】 このように他の従来の半導体記憶装置においては、セル電源パッド10及び周辺回路電源パッド11として電源供給源を2つに分けているため、メモリセル1及びその周辺回路での故障箇所特定をすることができるが、例えば各ブロックごと電源供給源を分けるとなると、電源パッド数が多く必要となり電源パッド数が限定されている場合には、複数の電源供給源を各ブロックに振り分けることが困難になっていた。

【0009】 また、振り分けができない箇所については、図4に示した従来の半導体記憶装置と同じく、スタンバイ電流（電源電圧を掛けて回路の動作をさせないときに流れる電流）不良が発生した場合の解析においては、電流値が微少の場合には、故障箇所が発光しないため、また故障箇所の特定をすることができず、不良

対策ができないという問題があった。

【0010】

【発明が解決しようとする課題】 従来の半導体記憶装置では、スタンバイ電流（電源電圧を掛けて回路の動作をさせないときに流れる電流）不良が発生した場合の解析においては、発光装置により、電流値が多い場合には故障箇所を判明させることができるが、電流値が減少の場合には、故障箇所が発光しないため、故障箇所の特定をすることができず、不良対策ができないという問題があった。また故障箇所特定をすることができる場合でも、各ブロックごと電源供給源を分けるために、電源パッド数が多く必要となり電源パッド数が限定されている場合には、複数の電源供給源を各ブロックに振り分けることが困難になっていた。

【0011】 本発明の目的は、従来の電源供給方式ではできなかった各回路ブロックへの詳細な電源供給コントロールが可能となり、スタンバイ電流不良箇所の詳細特定が可能となることを提供することにある。

【0012】

【課題を解決するための手段】 上記目的を達成するために、本発明は電源パッドと、前記電源パッドから分割され、それぞれ接続される複数の回路ブロックと、前記電源パッドから前記回路ブロックへの電源供給を選択するデコーダ部と、前記デコーダ部へ接続され、電源供給を受ける前記回路ブロックを選択するための信号が入力される選択端子と、前記回路ブロックは、メモリセルおよびその周辺回路を有することを提供すること。

【0013】 また、本発明において前記デコーダ部は、電源供給を受ける前記回路ブロックを個別に選択することを提供する。

【0014】 また、本発明において前記選択端子は、アドレス端子と共用することを提供すること。

【0015】 また、本発明において前記選択端子には、電源コントロール用端子が接続されており、前記アドレス端子を前記選択端子として選択するための信号が入力されることを提供すること。

【0016】

【発明の実施の形態】 以下、図面を参照し本発明の実施例について説明する。本発明の第1の実施例に係る半導体記憶装置の電源供給回路ブロック図を図1に示す。尚、ここでは半導体記憶装置の構成を概念的に示している。

【0017】 メモリセル12は複数の配列されたメモリセルから構成されている。ロウアドレスレジスタ13は、ロウアドレスデコーダ15を介してメモリセル12に接続される。カラムアドレスレジスタ14は、カラムアドレスデコーダ16、センスアンプ17を介してメモリセル12に接続されている。データの読み出し動作では、ロウアドレスデコーダ15で1本のワード線（図示せず）が選択される。これにより一行のメモリセルがビ

ット線（図示せず）に接続され、各々のビット線には記憶データにより対応した信号があらわれ、センスアンプ17により増幅される。カラムアドレスデコーダ16により、1つのセンスアンプ17が選択されデータは出力バッファ（図示せず）に転送される。データの書き込み動作では、入力データはカラムアドレスデコーダ16で選ばれたビット線に転送される。クロックジェネレータ18では、ロウアドレスデコーダ15、カラムアドレスデコーダ16、センスアンプ17を駆動する。データコントロール19では、例えば/CE（Chip Enable）、/WE（Write Enable）などを制御する。

【0018】 電源パッド21では、各回路ブロックそれぞれに電源を供給している。電源選択端子21は、デコーダ部22を介して電源パッド20及び各回路ブロック間に接続されている。例えば電源パッド20及びメモリセル12間では、2つのn型トランジスタが並列に接続され、それぞれのゲートがデコーダ部22に接続されている。ここでは、その他の回路ブロックでも同様にトランジスタが設けられ、ゲートがデコーダ部22に接続されている。

【0019】 デコーダ部22では、電源選択端子21（ここでは、端子A、B、C）に入力された信号を受けて各回路ブロックを選択し、電源パッド20からの電源供給を選択された回路ブロックに電源供給できるようにする。

【0020】 本実施例の電源選択表を図2に示す。電源選択端子21のそれぞれに1、0の信号が入力されることにより、デコーダ部22により回路ブロックが選択される。例えば電源選択端子A=0、B=0、C=0の場合には、全回路ブロックが選択されて全回路ブロックに電源が供給される。電源選択端子A=0、B=0、C=1の場合には、ロウアドレスレジスタ13が選択されてロウアドレスレジスタ13に電源が供給される。以下同様に電源選択端子21の信号を組み合わせてることにより、各回路ブロックが選択され、それぞれ電源が供給される。ここでは電源選択端子21を3端子としたが、さらに端子数を増やすことにより、回路ブロックの電源コントロールを詳細に設定することができる。また、アッセンブリ時には、電源選択端子A、B、CともにGNDに接続しておけば、通常の使用を行う場合に影響を与えることはない。尚、電源選択表の選択ブロックについては、特にこの組み合わせでなくともよく、例えば電源選択端子A=1、B=1、C=1の場合に全回路ブロック選択としてもよい。その他の選択ブロックについても選択端子レベルの組み合わせを変えてもよい。

【0021】 第1の実施例では、スタンバイ電流（電源電圧を掛けて回路の動作をさせないときに流れる電流）不良が発生した場合の解析においては、電源選択端子21を切り替えてスタンバイ電流値を測定することによ

り、各回路ブロックを詳細に分けて測定することができるので故障箇所の特定を行うことが容易にできる。また第1の実施例では、電源選択端子21を設けることによって、各回路ブロック数に合わせて電源パッド数を合わせる必要がなくなる。

【0022】次に本発明の第2の実施例に係る半導体記憶装置の電源供給回路ブロック図を図3に示す。尚、ここでは半導体記憶装置の構成を概念的に示している。第1の実施例と同じ構成部分には同じ符号と付けることとする。

【0023】メモリセル12は複数の配列されたメモリセルから構成されている。ロウアドレスレジスタ13は、ロウアドレスデコーダ15を介してメモリセル12に接続される。カラム アドレスレジスタ14は、カラム アドレスデコーダ16、センスアンプ17を介してメモリセル12に接続されている。データの読み出し動作では、ロウアドレスデコーダ15で1本のワード線（図示せず）が選択される。これにより一行のメモリセルがビット線（図示せず）に接続され、各々のビット線には記憶データにより対応した信号があらわれ、センスアンプ17により増幅される。カラム アドレスデコーダ16により、1つのセンスアンプ17が選択されデータは出力バッファ（図示せず）に転送される。データの書き込み動作では、入力データはカラム アドレスデコーダ16で選ばれたビット線に転送される。クロックジェネレータ18では、ロウアドレスデコーダ15、カラム アドレスデコーダ16、センスアンプ17を駆動する。データコントロール19では、例えば／CE（Chip Enable）、／WE（Write Enable）などを制御する。

【0024】電源パッド23では、各回路ブロックそれぞれに電源を供給している。第2の実施例においては、電源選択端子を別に設けることなく、アドレス端子の一部のアドレス端子25がデコーダ部22に接続され、このデコーダ部22を介して電源パッド23及び各回路ブロック間に接続されている。例えば電源パッド23及びメモリセル12間では、2つのn型トランジスタが並列に接続され、それぞれのゲートがデコーダ部22に接続されている。ここでは、その他の回路ブロックでも同様にトランジスタが設けられ、ゲートがデコーダ部22に接続されている。

【0025】デコーダ部22では、アドレス端子25に入力された信号を受けて各回路ブロックを選択し、電源パッド23からの電源供給を選択された回路ブロックに電源供給できるようにする。アドレス端子25には、電源コントロールイネーブル端子24が接続されており、例えば電源コントロールイネーブル端子が1レベルになった場合に回路ブロックへの電源供給を選択制御することが可能となる。0レベルの場合には通常の使用となる。

【0026】第1の実施例で用いた図2の電源選択表は、第2の実施例でも用いることが可能であり、例えばアドレス端子25を端子A、B、Cとすれば対応させることができる。アドレス端子25（A、B、C）のそれぞれに1、0の信号が入力されることにより、デコーダ部22により回路ブロックが選択される。例えばアドレス端子25 A=0、B=0、C=0の場合には、全回路ブロックが選択されて全回路ブロックに電源が供給される。アドレス端子25 A=0、B=0、C=1の場合には、ロウアドレスレジスタ13が選択されてロウアドレスレジスタ13に電源が供給される。以下同様にアドレス端子25の信号を組み合わせてることにより、各回路ブロックが選択され、それぞれ電源が供給される。ここではアドレス端子25を3端子としたが、さらに端子数を増やすことにより、回路ブロックの電源コントロールを詳細に設定することができる。電源供給選択に使用していないアドレス端子が他にあれば、それを端子に使用してもよく、この場合には端子を増設する必要はない。

【0027】尚、電源選択表の選択ブロックについては、特にこの組み合わせでなくともよく、例えば電源選択端子（アドレス端子）A=1、B=1、C=1の場合に全回路ブロック選択としてもよい。その他の選択ブロックについても選択端子レベルの組み合わせを変えてもよい。

【0028】第2の実施例では、スタンバイ電流（電源電圧を掛けて回路の動作をさせないときに流れる電流）不良が発生した場合の解析においては、アドレス端子25を切り替えてスタンバイ電流値を測定することにより、各回路ブロックを詳細に分けて測定することができるので故障箇所の特定を行うことが容易にできる。また第2の実施例では、電源選択端子を別に設けることなく、通常使用しているアドレス端子の一部を共用することにより、電源コントロールイネーブル端子24を設けるのみでよく、各回路ブロック数に合わせて電源パッド数を合わせる必要がなくなる。

【0029】尚、本実施例では、回路ブロックは、この構成に限定されるものではなく、さらに詳細に分解することや、他の回路ブロックを設けても対応可能である。【0030】また、デコーダ部及び電源間に接続されるトランジスタについては、p型としてもよく、その際には選択信号レベルを逆にすることで対応できる。

【0031】本実施例では、主にCMOS型SRAMに用いられるが、その他のSRAMに用いてもよい。

【0032】

【発明の効果】 本発明では、従来の電源供給方式ではできなかった各回路ブロックへの詳細な電源供給コントロールが可能となり、スタンバイ電流不良箇所の詳細特定が可能となる。

【図面の簡単な説明】

【図1】 本発明の第1の実施例に係る半導体記憶装置

の電源供給回路ブロックを示す図である。

【図2】本発明に係わる電源選択表を示す図である。

【図3】本発明の第2の実施例に係わる半導体記憶装置の電源供給回路ブロックを示す図である。

【図4】従来例の半導体記憶装置の電源供給回路ブロックを示す図である。

【図5】従来例の他の半導体記憶装置の電源供給回路ブロックを示す図である。

【符号の説明】

12 メモリセル

13 ロウアドレスレジスタ

14 カラム アドレスレジスタ

15 ロウアドレスデコーダ

16 カラム アドレスデコーダ

17 センスアンプ

18 クロックジェネレータ

19 データコントロール

20、23 電源

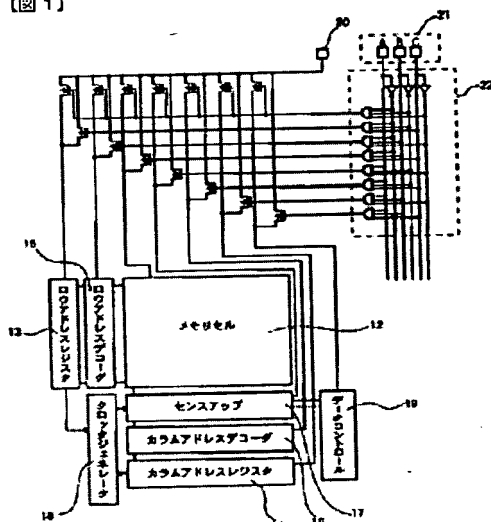
21 電源選択端子

22 デコーダ部

24 電源コントロールイネーブル端子

25 アドレス端子

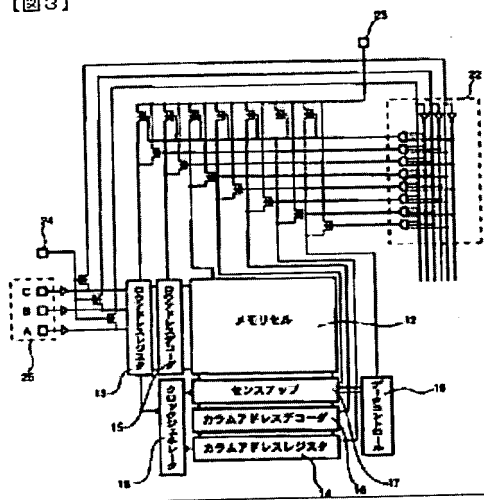
【図1】



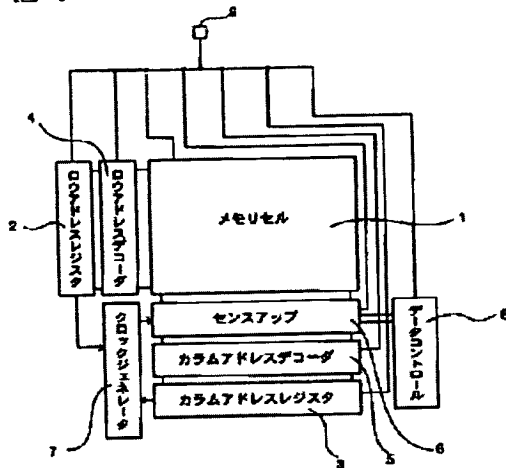
【図2】

選択端子レベル			選択ブロック
A	B	C	
0	0	0	全ブロック
0	0	1	ロウアドレスレジスタ
0	1	0	ロウアドレスデコーダ
0	1	1	メモリセル
1	0	0	センスアンプ
1	0	1	カラムアドレスデコーダ
1	1	0	カラムアドレスレジスタ
1	1	1	データコントロール

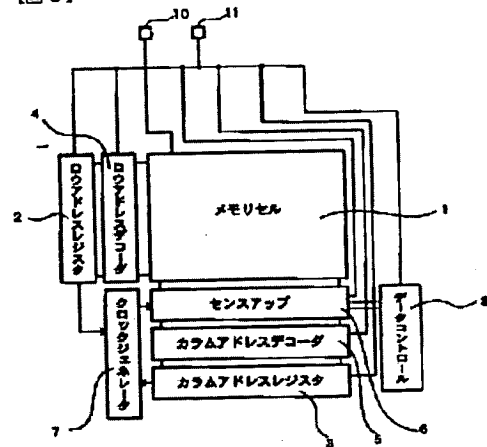
【図3】



【図 4】



【図 5】



フロントページの続き

(51)Int.Cl.⁷
G 1 1 C 29/00

識別記号
6 7 1

F I
G 1 1 C 11/34
H 0 1 L 27/04

テーマコード* (参考)

3 3 5 A
3 4 1 D
E

Fターム (参考) 2G132 AA08 AB00 AK11 AK20 AL12
5B015 HH04 JJ00 KB74 RR06
5F038 BE01 BE09 DF05 DT02 DT09
E220
5L106 AA02 DD01 DD12 DD22 EE01
EE02 EE03 GG02 GG05 GG07